

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-148176

(43)Date of publication of application : 21.06.1988

(51)Int.Cl.

G01R 31/28

H01L 21/66

(21)Application number : 61-295446

(71)Applicant : ANDO ELECTRIC CO LTD

(22)Date of filing : 11.12.1986

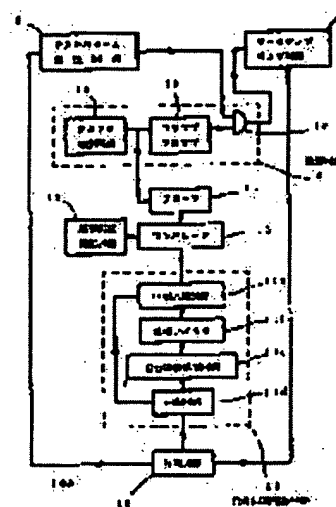
(72)Inventor : SATO HITOSHI  
MORI MASANORI

## (54) LOGIC CIRCUIT TESTING DEVICE

### (57)Abstract:

**PURPOSE:** To operate a logic circuit stably even when the logic circuit operates asynchronously with a testing device by synchronizing the output of a test pattern generating circuit with a clock of the logic circuit.

**CONSTITUTION:** A probe 11 leads out the output of the clock generating circuit 4a of the logic circuit 4. A comparator 13 compares the output of a reference voltage generating circuit 12 with the output of the probe 11. The output of the comparator 13 is supplied to the phase comparing circuit 14a of a phase-locked oscillation circuit 14. The circuit 14 determines the frequency division ratio for the output of a frequency dividing circuit 14d so that the clock frequency led out of the circuit 4a is as high as the output frequency of a voltage-controlled oscillation circuit 14c. Therefore, the circuit 14 operates so that the clock led out of the circuit 4 and the output of the circuit 13d are in phase and have the same frequency. The output of the circuit 14d is sent to a frequency dividing circuit 15, whose output is supplied to the test pattern generating circuit 2 and a data sampling circuit 3. Consequently, a response to the test pattern of the circuit 4 is also synchronized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-148176

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)6月21日

G 01 R 31/28

A-6912-2G

Q-6912-2G

H 01 L 21/66

7168-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 論理回路試験装置

⑮ 特 願 昭61-295446

⑯ 出 願 昭61(1986)12月11日

⑰ 発 明 者 佐 藤 仁 東京都大田区蒲田4丁目19番7号 安藤電気株式会社内  
⑱ 発 明 者 森 政 徳 東京都大田区蒲田4丁目19番7号 安藤電気株式会社内  
⑲ 出 願 人 安藤電気株式会社 東京都大田区蒲田4丁目19番7号  
⑳ 代 理 人 弁理士 小俣 欽司

明 細 書

1. 発明の名称 論理回路試験装置

2. 特許請求の範囲

1. テストパターン発生回路の出力を試験される論理回路に加え、前記論理回路の出力をデータサンプリング回路に入れ、前記論理回路の良否を判定する論理回路試験装置において、

前記論理回路のクロックを取り出すブロープと、

前記ブロープで取り出したクロックを波形整形するコンパレータと、

前記コンパレータ出力を入力とする位相同期発振回路と、

前記位相同期発振回路の出力を分周する分周回路とを備え、

前記分周回路出力を前記テストパターン発生回路と前記データサンプリング回路に供給することにより、前記論理回路から取り出したクロックに同期したテストパターン発生回路出力を取り出すことを特徴とする論理回路試験装置。

3. 発明の詳細な説明

(a) 発明の技術分野

この発明は、論理回路にテストパターンを加えて論理回路を試験する場合に、論理回路を動作させるクロックと同期したテストパターンを発生させるようにした論理回路試験装置についてのものである。

(b) 従来技術と問題点

論理回路の試験は、論理回路の入力にテストパターンを加え、論理回路の出力応答を解析して良否を判定する。

従来技術では、パターン発生器で作ったテストパターンを論理回路に加えているが、論理回路が論理回路内のクロックで動作している場合、テストパターンと論理回路は非同期で動作することになる。

論理回路内のクロックとテストパターンが非同期の場合は、論理回路内の論理信号とテストパターンとの論理演算出力にグリッチなどの不安定なパルス出力が出てくることがある。

このため、出力データが不安定で再現性の少な

いものになり、信頼性に欠けるという問題がある。

次に、従来の論理回路試験装置の構成図を第3図に示す。

第3図の1はクロック発生回路、2はテストパターン発生回路、3はデータサンプリング回路、4は試験される論理回路である。

論理回路試験装置10Bは、クロック発生回路1、テストパターン発生回路2及びデータサンプリング回路3で構成される。

第3図の論理回路4はクロック発生回路4a、フリップフロップ4b及びゲート回路4cで構成された場合の例を示している。

フリップフロップ4bはクロック発生回路4aの出力を1/2に分周する。ゲート回路4cはテストパターン発生回路2の出力とフリップフロップ4bの出力を入力としている。

次に、第3図各部の波形図を第4図に示す。

第4図(7)はクロック発生回路4aの出力波形であり、第4図(1)はフリップフロップ4bの出力波形である。

第4図(1)はテストパターン発生回路2の出力波形であり、第4図(1)と第4図(7)とは非同期になっている。

第4図(1)はゲート回路4cの出力波形であり、第4図(1)と第4図(7)のAND出力であるが、第4図(1)と第4図(7)が非同期のため、第4図(1)の波形幅が状態によつて変わってくる。

したがつて、データサンプリング回路3のサンプリング出力が不正確になる。

論理回路試験装置10Bで論理回路4を試験し、さらにゲート回路4cの出力を他の論理回路の試験に使用する場合、ゲート回路4cの出力信号のグリッチによつて回路が誤動作することもある。

#### (c) 発明の目的

この発明は、論理回路内のクロックとテストパターンが非同期の場合、論理回路からクロックを取り出し、この取り出したクロックに同期させたテストパターンを発生させるようにした論理回路試験装置を提供し、従来技術の問題を解決することを目的とする。

#### (d) 発明の実施例

まず、この発明による実施例の構成図を第1図に示す。

第1図の11はブロープ、12は基準電圧発生回路、13はコンパレータ、14は位相同期発振回路、15は分周回路であり、その他は第3図と同じである。

すなわち、第1図の論理回路試験装置10Aは、第3図の論理回路試験装置11Bのクロック発生回路1の代わりに、11~15を採用したものである。

第1図のブロープ11は、論理回路4のクロック発生回路4aの出力を取り出すためのものである。

コンパレータ13は、基準電圧発生回路12とブロープ11の出力とを比較する。

基準電圧発生回路12で発生する基準電圧は、論理信号の電圧のしきい値を決めるもので、TTLやCMOS、ECLなどのデバイスによつて、適切な電圧に設定する。

位相同期発振回路14は、位相比較回路14a、低域フィルタ14b、電圧制御発振回路14c及び分周回路14dで構成されており、コンパレータ13の出力は、位相比較回路14aに入る。

分周回路14dの出力は、論理回路4のクロック発生回路4aから取り出したクロックと位相比較するため、位相比較回路14aの入力に接続される。

分周回路14dは、論理回路4のクロック発生回路4aから取り出したクロックの周波数と電圧制御発振回路14cの出力周波数が同じになるように、分周比を設定する。

したがつて、位相同期発振回路14は、論理回路4から取り出したクロックと分周回路14dの出力が位相が同じで、かつ周波数が同じになるように動作する。

例えば、論理回路4から取り出したクロックの周波数が1MHzの場合、電圧制御発振回路14cの発振周波数は40MHz程度に設定する。この場合は、分周回路14dの分周比を1/40に

する。

分周回路14dの出力は、分周回路15に入り、分周回路15の出力はテストパターン発生回路2とデータサンプリング回路3に供給される。

第1図のテストパターン発生回路2は、分周回路15の出力をクロックとして、テストパターンを発生し、論理回路4に加える。

テストパターン発生回路2は、論理回路4のクロックと同期しているので、論理回路4のテストパターンに対応する応答も同期する。

次に、第1図各部の波形図を第2図に示す。

第2図(7)はクロック発生回路4aのクロック波形であり、第2図(4)は論理回路4の中でクロックにより動作している信号波形である。

第2図(4)は論理回路4から取り出したクロックをコンパレータ13で波形整形した波形であり、第2図(1)は位相同期発生回路14の出力を分周回路15で分周した波形である。

分周回路15は、テストレートを設定するためのものであり、第2図では分周比=1の場合を例

示している。

第2図(4)はテストパターン発生回路2の出力波形の一例であり、第2図(4)は論理回路4の出力応答波形である。

第2図(4)は第2図(4)の波形を第2図(1)でサンプリングしたデータであり、安定なデータが得られる。

第2図では、分周回路15の出力クロックの立下りでサンプリングするように、データサンプリング回路3を構成しておく。

#### (e) 発明の効果

この発明によれば、テストパターン発生回路の出力を論理回路のクロックと同期するようにしているので、論理回路が試験装置と非同期で動作していても、論理回路を安定に動作させることができ、論理回路の応答出力信号から確実にデータをサンプリングすることができる。

#### 4. 図面の簡単な説明

第1図はこの発明による実施例の構成図、

第2図は第1図各部の波形図、

第3図は従来の論理回路試験装置の構成図、

第4図は第3図各部の波形図。

1……クロック発生回路、2……テストパターン発生回路、3……データサンプリング回路、4……論理回路、4a……クロック発生回路、4b……フリップフロップ、4c……ゲート回路、10A……論理回路試験装置、10B……論理回路試験装置、11……プローブ、12……基準電圧発生回路、13……コンパレータ、14……位相同期発生回路、14a……位相比較回路、14b……低域フィルタ、14c……電圧制御発生回路、14d……分周回路、15……分周回路。

代理人 弁理士 小 俣 敏 司

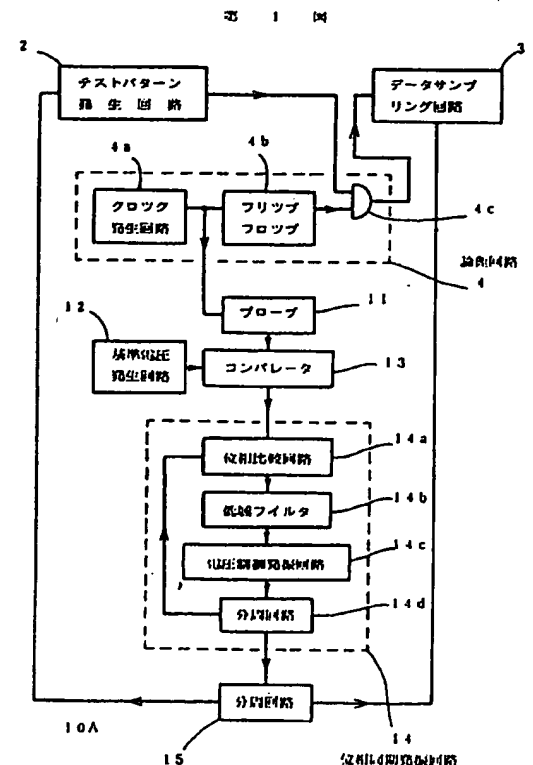


図 2

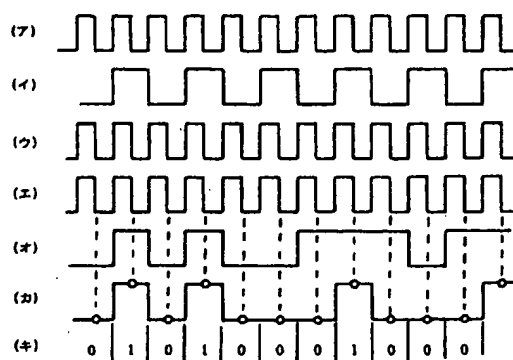


図 3

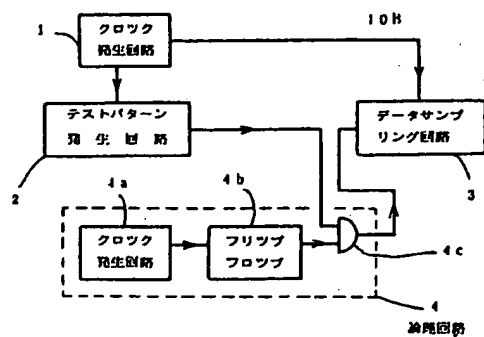


図 4

